

トランス・インダクタ 電圧レギュレータによる 多相設計と関連決定事項 およびトレードオフ

Alexandr Ikriannikov、フェロー、アナログ・デバイセズ

概要

最近導入されたトランス・インダクタ電圧レギュレータ (TLVR) は、CPU、GPU、ASICといった低電圧大電流の負荷に電源を供給する多相DC/DCアプリケーションに広く使われるようになってきました。この傾向の要因となったのは、この技術が持つ優れたトランジェント性能です。TLVRは柔軟な設計とレイアウトを可能にしますが、欠点もいくつかあります。この記事では、TLVR設計を選択した場合の性能パラメータへの影響を示し、それに関するトレードオフについて検討します。

TLVR降圧での電流リップルとトランジェント

多相降圧コンバータの改善は、多くの大電流アプリケーションにとって大きな関心事です。現在のCPU、GPU、ASICではトランジェント仕様が非常に積極的な内容になっていますが、省エネルギーと熱性能の観点からは高効率ということも非常に重要なため、トランジェントの改善は特に重視されます。

インダクタの電流リップルは、設計の選択に影響する重要なパラメータです。これは効率と出力電圧リップルに影響を与え、トランジェント性能、ソリューション・サイズ、その他の性能指標にも間接的に関わってきます。もう1つの非常に重要な特性がトランジェントの電流スルー・レートで、これはトランジェント性能を制限する基本的な要素です。多くの場合、設計の決定にあたっては、電流リップル（したがって効率）とトランジェント性能（出力容量の大きさその他に直接影響）のトレードオフが必要になります。

ディスクリート・インダクタ (DL) を使用した従来型の多相降圧コンバータを図1aに示します。最適な形で波形をインターリーブするには、すべての位相間で適切な位相シフトを行う必要があります。これに代わる方法の1つが、図1bに示すようにDLを結

合インダクタ (CL) に置き換えることです^{1-3,5}。図1cはTLVRと呼ばれるもう1つの方法で、この方法ではインダクタ L_c が電流リップルとトランジェントの両方に影響を与えます^{4,6,7,10}。TLVRアプローチは、ディスクリート・インダクタに2次巻線を追加し、2次巻線間を電氣的に接続することによって位相を互いにリンクすることを基本としています。これは結合インダクタと同様の概念です。リンクされたすべての位相間のAC波形を平均して、特定のトランジェント・スルー・レートに対する電流リップル性能を改善しますが、TLVRでは最大位相電流に合わせてレートを決定する必要があるため、実効結合インダクタンスが制限されます。この欠点は、TLVRトランスはDCレベルの電流を通過させないという事実によるもので、このため、磁氣的に結合されたインダクタにDC電流が生じても位相間でDC電流が相殺されなくなります。本稿では、過去の研究では紙面の制約から触れることのできなかった詳細部分、特にTLVRのトレードオフに焦点を当てます⁹。

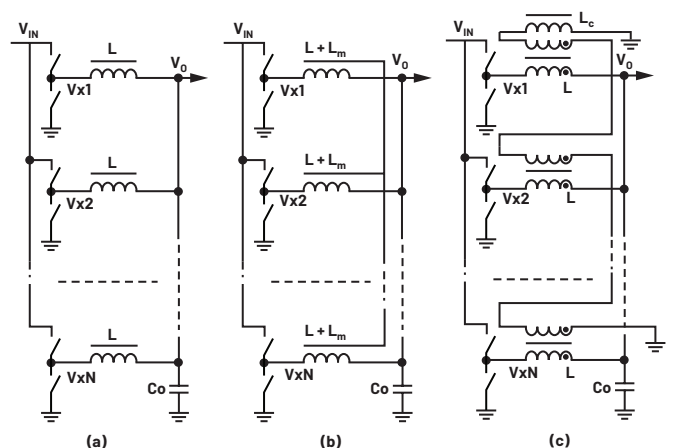


図1 (a) ディスクリート・インダクタ (DL)、(b) 結合インダクタ (CL)、および (c) TLVRを使用した多相降圧コンバータ



通常、TLVRのリップルおよび電流スルー・レートの式を使った最初の数学的モデルは既に示されています⁷。これは、あらゆる回路条件（デューティ・サイクル $D = V_o/V_{IN}$ あるいは位相数 N_{ph} など）で使用できる非常に便利な計算方法ですが、いくつかの制約があります。例えば、 L_c の値（図1cのチューニング・インダクタ）が小さいと誤差が大きくなり、 $L_c = 0$ で無限大になることです。TLVRを使用する主な理由はトランジェントの改善なので、 L_c 値が小さい場合のコーナーは、 L_c がオープンの場合のコーナーより重要です。これは、 L_c の値を適度に小さくする必要があることを示唆しています。

より正確なTLVRの導出も示されており、それに従えば、 V_x の状態を割り当てることにより、導出された式を使って定常時の電流スルー・レート（電流リップルのレート）とトランジェント時の電流スルー・レートを求めることができます¹⁰。この導出は、より正確な等価TLVR回路（図2）に対して行ったものです。このモデルはあらゆるコーナー・ケースのシミュレーションと極めて良好な相関関係を有していますが、定常状態での電流スルー・レートは、 $D < 1/N_{ph}$ の範囲でのみ有効です。TLVRの電流リップルは、DLベースラインを基準として、ちょうど $D < 1/N_{ph}$ の領域で最も大きくなり、 N_{ph} が十分に大きいときはDLリップルに近付くことが分かっているので、この制約は許容できるものです^{9,10}。

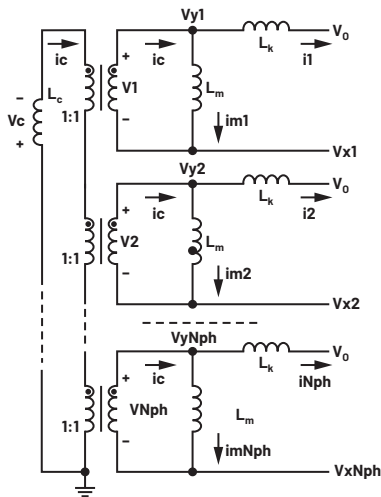


図2 TLVRモデル¹⁰

通常、TLVRの値は、TLVRを構成するディスクリート・インダクタのDLと同じように、データシートに示されています。図2のモデルでは、TLVRの合計値あるいは自己インダクタンスが、通常は小さい L_k とそれ以外の部分に分割されて、実質的にTLVRトランスの相互インダクタンス $L_m = TLVR - L_k$ （式1）になると仮定しています。

TLVRのこの電流スルー・レートは図2のモデルに基づくもので、式2で表すことができます。ここで、 L_k は主巻線と補助巻線間におけるTLVRの漏れインダクタンスです。 V_{x1} 電圧は対象となる位相に割り当てられ、その他の V_x ノードは同じ電圧（ V_{IN} または0）であると仮定します。これに対応するノード電圧 V_{y1} を式3に示します。式2はTLVRの最大トランジェント・スルー・レートの直接計算に使用でき、 $V_{x1} = V_x$ に強制して、これらの電圧を V_{IN} （ランプ・アップ）または0（ランプ・ダウン）に割り当てます。また、式2の電流スルー・レートは、式4の定常状態におけるリップルの計算に使用できます。ここで $V_{x1} = V_{IN}$ で、その他すべてのスイッチング・ノードは $V_x = 0$ です。ただし、式4は時

間 D/F_s における1巻きあたりのスルー・レートが1つで、なおかつ同じ値であると仮定しているため、 $D < 1/N_{ph}$ の範囲でのみ有効です。

$$TLVR = L_k + L_m \quad (1)$$

$$\frac{dIL_{TLVR}(V_{x1}, V_x)}{dt} = \frac{V_{y1}(V_{x1}, V_x) - V_o}{L_k} \quad (2)$$

$$V_{y1}(V_{x1}, V_x) = \frac{\frac{V_{x1} + (N_{ph} - 1)V_x - N_{ph}V_o}{L_c L_k \left\{ \frac{N_{ph}}{L_c} + \frac{1}{L_k} + \frac{1}{L_m} \right\}} + \frac{V_o}{L_k} + \frac{V_{x1}}{L_m}}{\frac{1}{L_k} + \frac{1}{L_m}} \quad (3)$$

$$\Delta I_{TLVR} = \frac{V_{y1}(V_{IN}, 0) - V_o}{L_k} \frac{D}{F_s} \quad (4)$$

$$FOM = \frac{SR_{tr}}{SR_{st_state}} \quad (5)$$

$$FOM_{TLVR} = \frac{V_{y1}(V_{IN}, V_{IN}) - V_o}{V_{y1}(V_{IN}, 0) - V_o} \quad (6)$$

既に示したように、性能指数（FOM）はシステム性能を示す非常に優れた指標であり、一般的にFOMを最大限まで高めることは、最善のトレードオフを実現する上で望ましい方法です^{9,10}。ただし、FOMが高いということ自体は、特定のアプリケーションに関する仕様のあらゆるパラメータの条件が満たされるであろうことを確保するものではなく、高いFOMは設計が良好であることを示すものに過ぎません。FOMは式5のように定義され（これは $D < 1/N_{ph}$ の範囲での使用に適しています）、TLVRのFOMは式6のように表すことができます。

比較のためCLの式（ここには示されていません）を使用しますが、その焦点はTLVRの性能とトレードオフに置かれます^{5,10}。ノッチ結合インダクタ（NCL）構造もベンチマークとして使用し、フットプリントとサイズが同じでTLVR = 150nHの特定ソリューションと比較します¹⁰。

TLVRのトレードオフ

12V~1.8Vの6相設計に基づき、重要なTLVR性能パラメータをチューニング・インダクタ L_c の関数として図3に示します（電流リップルの $F_s = 300kHz$ ）。TLVR = 150nHが、 I_{sat}/ph 仕様をなんとか満たすことのできる（つまりTLVRリップルを最小限に抑えて効率を最大限まで引き上げることのできる）最大値です。TLVR = 150nHのベースラインとしてDL = 150nHもプロットされているほか、比較のためNCL = 6 × 25nH（ $L_m = 375nH$ ）のパラメータもプロットしています。図3のTLVR曲線には、いずれも実際の設計ポイントである $L_c = 120nH$ を示してあります。

それぞれのグラフでは、TLVRパラメータが異なることを考慮する必要があります。図3の(a)はFOM、(b)は電流トランジェントのスルー・レート、(c)は電流リップルを L_c の関数として示しています。横軸のスケールは同じです。 L_c の増加に伴って、すべてのTLVR曲線がDL性能に漸近している点に留意してください。TLVRのFOMは、トランジェント・スルー・レートが大きくなり増加しているのと同様に、 L_c 値の低下と共に増加していますが、

これには、既にかなり大きいDLベースラインのリップルから更に電流リップルが増加するという代償が伴います。図3cを参照してください。TLVR FOMは、最初のDLに絶縁された2次巻線を追加した場合のフェライトの減少を考慮せずにプロットしています。したがって、TLVRリップルはDLベースラインより常に大きくなります⁸⁻¹⁰。

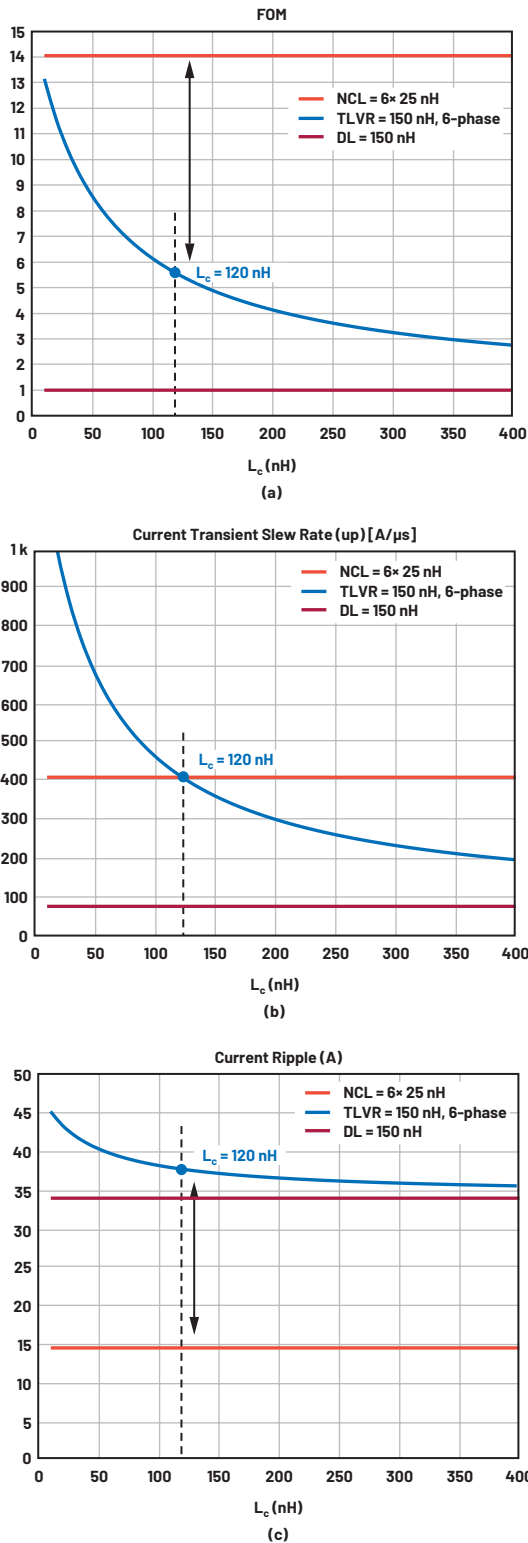


図3 TLVRのトレードオフと L_c の関係：
(a) FOM、(b) 電流スルー・レート（上昇）、(c) 電流リップル。
実際の設計ポイントである $L_c = 120$ nHを示してあります。
 $12V \sim 1.8V$ 、6相、 $F_s = 300$ kHz。

図4は、FOM、トランジェント・スルー・レート、および電流リップルをTLVR値（実質的に L_m ）の関数として示したグラフです。これらの数学的曲線は次の条件でプロットされているという点が重要です。すなわち、TLVRの I_{sat} 仕様は位相ごとの最大 I_{sat}

であり（テストしたソリューションではTLVR = 150nHのときに $I_{sat} = 65A$ ）、NCLの L_m に対する I_{sat} は非常に小さくなります（相間の電流アンバランスに耐えなければならない $L_m = 375$ nHのときの安全を見込んだ値が $I_{sat} = 25A$ ）。したがってテスト・ソリューションと同じサイズの場合、150nHより上のTLVR曲線と375nHより上のNCL曲線は、あくまで理論値です（これらの値の範囲を広げるには、サイズを大きくする必要があります）。TLVRとCLの電気的モデルは似ており、 L_m の関数として表した関係曲線は互いに近いものになりますが、所定のスペースにおける相互インダクタンスに関わる制限は、常にTLVRとCLの場合で大きく異なります¹⁰。これは、同じ大きさを持つTLVRとNCLを比較する際に現実的な視点を提供します。

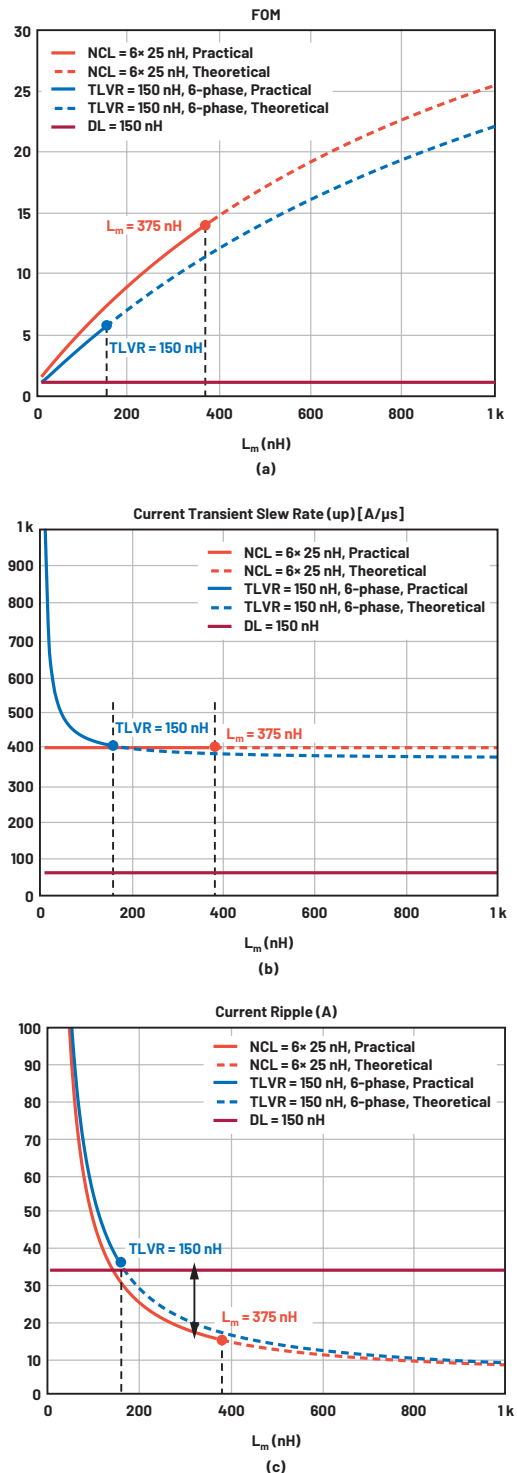


図4 TLVRのトレードオフとTLVR値（ L_m ）の関係：
(a) FOM、(b) 電流スルー・レート（上昇）、(c) 電流リップル。
 $L_c = 120$ nH、所定サイズでの最大値でTLVR = 150nHと
 $L_m = 375$ nH (NCLの場合) をマーク。12V \sim 1.8V、6相、 $F_s = 300$ kHz。

TLVRとNCLの両方について予想されるように、図4aでは L_m が増加すると結合係数とFOMは大きくなります¹⁰。一般に、トランジェント・スルー・レートを決めるのは L_m ではなく、NCLの場合は漏れインダクタンス L_k で決まり、TLVRの場合はチューニング・インダクタ L_c で決まるので、図4bの曲線はほとんどの部分がフラットになります。しかし、TLVRの値（実効 L_m ）が小さくなりすぎると、それによって同時に L_c が実質的に短絡した状態になり始めて、トランジェント・スルー・レートが急激に大きくなります。

図4cは、 L_m の増加が、電流リップル低減の点からTLVRとNCLの両方にとって有利であることを裏付けています（しかし、 L_m が増加することでトランジェントが悪化することはありません - 図4bを参照）。電気的モデルがよく似ていることから、 L_m の関数として表した場合の電流リップル曲線は、TLVRとNCLで非常に似たものになると予想されますが、 L_m 値に関する制限が著しく異なります¹⁰。もちろん、ほとんどの違いは、所定のサイズの L_m に対して必要とされる I_{sat} の定格値によって生じるものなので、NCLの電流リップルは、対応するTLVRのそれよりかなり小さくなります。

試験結果

NCLはTLVRと同じフットプリントに収まるように設計されたもので、その他すべての外寸もTLVRソリューションと同等になっています¹⁰。図5は、テストしたこれら2つのソリューションが同じボード上に収まることを示しています（NCLに L_c は不要）。

スルー・レートの値から分かるように（図3bと図4b）、TLVRとNCLは共に非常に高速のソリューションです。トランジェント性能は意図的に同じに設定されており、 F_s を300kHzまで下げた場合でも、位相が互いに結合された6相ソリューションにおいて、帰還帯域幅が制限されることはありません⁸。

NCLのFOMはTLVRよりかなり高いので（図3a）、トランジェント性能を揃えた場合、NCLでは電流リップルが約1/2.6に抑えられます。この場合の効率の比較を図6に示しますが、TLVRの性能の課題は電流リップルのピークtoピーク値が大きいことです。

通常、CL（特にNCL）の漏れインダクタンスはTLVRの値よりはるかに小さいので、CLとNCLでは位相ごとの電流能力もはるかに高いと予想されます。TLVR = 150nHの例では位相あたり $I_{sat} = 65A$ ですが、同じ大きさでNCL = 6 × 25nHの場合は位相あたり $I_{sat} > 300A$ です。

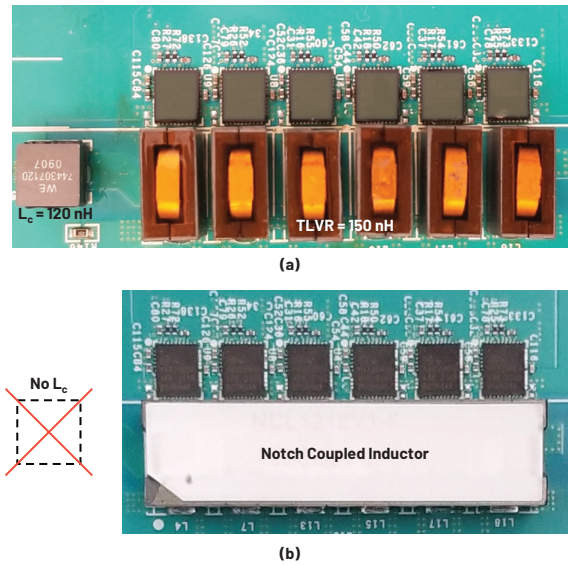


図5 同じボード上のソリューション：(a) TLVRと (b) NCL

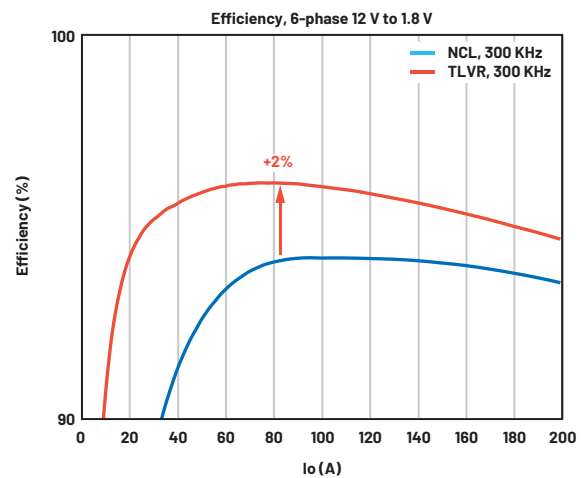


図6 同じボードに搭載した6相12V～1.8Vソリューションの効率と I_o の関係。(a) TLVRと (b) NCL

まとめ

一般にTLVRのFOMは2前後であり、この点では、FOM = 1のディスクリート・インダクタ・ベースラインより改善されています。この利点は、TLVRが電流リップルの増加より速いペースでトランジェント性能を改善する、という事実によるものです。しかし、TLVRが改善するのは常にトランジェントだけなのに対し、いくつかの欠点も生じます。例えば、TLVRの電流リップルは、同じ値を持つDLより常に大きくなります。これは、実効磁化インダクタンスの小さい位相と L_c がリンクされているためです。これは効率に悪影響を与えますが、特に、絶縁電圧の大きい2次巻線を追加する場合は、フェライト断面積が減少することを考慮して注意が必要です。フェライトの減少によって生じるインダクタンス値の追加的な損失（ I_{sat} は最初のDLと同じと仮定）は、本稿では考慮していません。直列に接続された2次TLVR巻線も高電圧に関する問題を引き起こす可能性があり、一般的には磁気コンポーネントのコスト増大を招く結果となります⁸。

通常、TLVRのトランジェント電流のスルー・レートは L_c によって設定されますが、 L_m が十分に小さい場合は L_m が実質的に L_c を短絡させてトランジェントを更に高速化し、その代償として電流リップルが非常に大きくなって効率に影響が出ます。

一般に、TLVRは結合インダクタと同じように動作しますが、TLVRの最大電流定格が実効 L_m を制限して、その性能を大幅に低下させます。大きさが同じであれば、CLまたはNCLの方が L_m 値は数倍大きいので、ずっと高いFOM（つまり性能）を実現します。結果として、ここで検討した例ではNCLが極めて高い効率を示すのに対し、TLVRのトランジェント性能の向上はわずかです¹⁰。また、これは、TLVRアプローチによるコストへの影響や高電圧の問題を引き起こすことなく実現されます。

TLVRに対するNCLの位相あたり I_{sat} 電流能力に関わる大きな利点は思いがけない結果を提供します（上記の例では4.5倍以上の違い）。

参考資料

- 1 Aaron M. Schultz and Charles R. Sullivan. “Voltage Converter with Coupled Inductive Windings, and Associated Methods.” U.S. Patent 6,362,986, March 2001.
- 2 Jieli Li. “Coupled Inductor Design in DC-to-DC Converters.” M.S. thesis, 2001, Dartmouth College.
- 3 Pit-Leong Wong, Peng Xu, P. Yang, and Fred C. Lee. “Performance Improvements of Interleaving VRMs with Coupling Inductors.” IEEE Transactions on Power Electronics, vol. 16, no. 4, July 2001.
- 4 Ming Xu, Yucheng Ying, Qiang Li, and Fred C. Lee. “Novel Coupled-Inductor Multi-phase VRs.” IEEE, 2007.
- 5 Alexandr Ikriannikov. “Coupled Inductor Basics and Benefits.” Analog Devices, 2021.
- 6 S. Jiang, X. Li, M. Yazdani, and C. Chung. “Driving 48 V Technology Innovations Forward—Hybrid Converters and Trans-inductor Voltage Regulator (TLVR).” IEEE, 2020.
- 7 “Multiphase Buck Converter with TLVR Output Filter.” Infineon Technologies, February, 2021.
- 8 Alexandr Ikriannikov. “TLVR High Voltage Considerations.” Power Systems Design, 2021.
- 9 Alexandr Ikriannikov. “Evolution and Comparison of Magnetics for the Multiphase DC-DC Applications.” IEEE, March 2023.
- 10 Alexandr Ikriannikov and Di Yao. “Converters with Multiphase Magnetics: TLVR vs CL and the Novel Optimized Structure.” PCIM Europe, May 2023.

著者について

Alexandr Ikriannikovは、アナログ・デバイセズの通信およびクラウド・ビジネス・ユニットに所属するフェローです。カリフォルニア工科大学のCuk博士の下でパワー・エレクトロニクスを研究し、2000年に同学で電気工学の博士号を取得しました。大学院では、AC/DCアプリケーションの力率補正から火星探査車用の15V～400V DC/DC変換まで、様々なプロジェクトに参加しました。大学院修了後はPower Ten社で数KW規模のAC/DC電源の再設計と最適化を行い、更に2001年にはVolterra Semiconductorで低電圧大電流アプリケーションと結合インダクタ関連の業務に専従しました。Volterra社は2013年にマキシム・インテグレーションに買収され、現在はアナログ・デバイセズの一部です。現在、AlexandrはIEEEのシニア・メンバーです。現時点で70以上の交付済み米国特許を保有し、他にも多数を申請中です。また、パワー・エレクトロニクス分野でこれまで複数の書籍を執筆しました。

EngineerZone[®]

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



SUPPORT COMMUNITY

Visit ez.analog.com

*英語版技術記事は[こちら](#)よりご覧いただけます。



AHEAD OF WHAT'S POSSIBLE™

アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog.com/jp/contact をご覧ください。

オンライン・サポート・コミュニティEngineerZoneでは、アナログ・デバイセズのエキスパートへの質問、FAQの閲覧ができます。

©2023 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possibleはアナログ・デバイセズの商標です。

TA24848-10/23

VISIT [ANALOG.COM/JP](https://analog.com/jp)