

結合インダクタを活用した 多相降圧レギュレータ、 48Vから12Vへの変換効率が 大幅に向上

著者：Alexandr Ikriannikov、フェロー
Laszlo Lipcsei、プロダクト・アプリケーション担当ディレクタ

概要

多くの場合、データ・センターや通信システムなどでは、配電された48Vの電圧を基にして様々な電源電圧が生成されます。48Vから中間電圧を生成するためには、多種多様な降圧ソリューションを利用できます。なかでも最も簡単な方法は、恐らく降圧トポロジを使用するというものです。それにより高い性能が得られるはずですが、多くの場合、電力密度については期待どおりの結果は得られません。本稿で紹介するのは、結合インダクタ (CL : Coupled Inductors) を活用して多相降圧構成を改良する方法です。それにより、非常に重要な性能上のメリットを維持しつつ、最先端の代替ソリューションに匹敵するレベルまで電力密度を改善することができます。多相結合インダクタを使用すると、巻線間に逆結合が生じます。それにより、各位相電流における電流リップルを相殺することができます。このメリットは、効率とのトレードオフに活かすことができます。あるいは、小型化や電力密度の改善を行いたい場合のトレードオフに利用することも可能です。本稿で紹介するのは、48V入力/1.2kW出力の降圧ソリューションにおいて、磁気部品の体積と重量を1/4に抑えつつ、98%のピーク効率を実現する方法です。設計済みのシステムは、業界標準の1/8ブリック・サイズで実装することができます。また、結合インダクタの性能指数 (FOM : Figure of Merit) に基づき、48Vに対応する降圧トポロジを最適化する方法も紹介します。本稿で解説する内容は、DC/DC変換に取り組む技術者にとって非常に興味深いものであるはずです。

はじめに

一般に、データ・センターや通信システム向けに配電された48Vの電圧は、いったん中間電圧 (多くの場合、12V以下) に降圧されます。その上で、様々なローカルのPOL (Point of Load) コンバータによる降圧処理が行われます。その結果、様々な電圧が様々な負荷に対して直接供給されることとなります。48Vから

12Vへの降圧を担うものとしては、多相降圧コンバータが第一の選択肢となるでしょう (図1)。その種のソリューションを採用すれば、レギュレートされた出力電圧 V_0 が得られると共に、高速な過渡応答が実現されます。しかも、比較的容易かつコストを抑えて実装することが可能です。数百Wから1kW超の電力を対象とする場合には、4並列の多相コンバータが選択肢になるケースが多いでしょう。但し、その際には高い効率を得ることが重要な要件になるはず。その結果、重大な課題に直面することになります。スイッチング周波数が比較的低いコンバータで48Vという高い電圧を扱う場合には、12Vや5Vといった低い電圧を扱う場合と比べて、スイッチング損失を少なく抑えることができません。明らかに高い電圧がより長い時間印加されることになるので、[電圧] × [秒数] という形で磁気部品の負荷が増大します。その結果、48Vに対応するためには大型の磁気部品が必要になります。また、より低い電圧を扱う場合と比べて著しく大きい [電圧] × [秒数] の値に耐えるためには、多重巻線を採用しなければなりません。

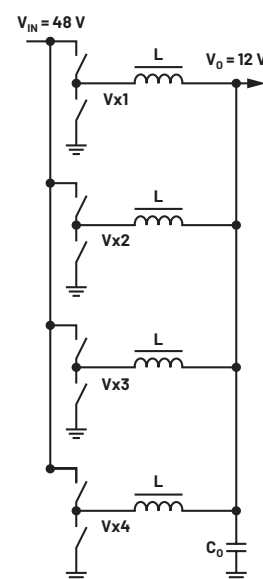


図1. ディスクリートのインダクタ (DL : Discrete Inductors) で構成された4相降圧コンバータ



入力が48Vの降圧コンバータでも高い効率を達成することは可能ですが、全体的なサイズが非常に大きくなります。その体積の大半を占めるのがインダクタです。

本稿では、48Vから12Vへの降圧を実現し、約1kWの出力に対応できる基本的なレギュレータについて考えます。スイッチング周波数は200kHzで、6.8μHのディスクリートのインダクタを4相構成で使用すると仮定します。その場合、4つのインダクタが群を抜いて大きく、背の高いコンポーネントになるはずですが、ソリューシオンの体積の大部分を占めることになりません。本稿で示すソリューションは、この初期設計で得られる高い効率を維持（または改善）しつつ、磁気部品のサイズを大幅に縮小することを目的としたものです。

上記の従来型の降圧構成において、各相の電流リップルは以下に示す式 (1) によって求められます。

$$dIL_{DL} = \frac{V_{IN} - V_O}{L} \times \frac{D}{F_S} \quad (1)$$

ここで、 V_O は出力電圧、 V_{IN} は入力電圧、 D はデューティ・サイクル (V_O/V_{IN})、 L はインダクタンス、 F_S はスイッチング周波数です。

本稿で紹介するソリューションでは、ディスクリートのインダクタ（以下、DL）を、漏れインダクタンスが L_k 、相互インダクタンスが L_m の結合インダクタ（以下、CL）で置き換えます^{1~7}。このCLの電流リップルは、式 (2) で表すことができます⁶。また、FOMは式 (3) で表すことが可能です。2つの式で使われている N_{ph} は結合した相の数、 ρ は式 (4) で表される結合係数、 j はインデックスです。このインデックスは、式 (5) に示すように、適用可能なデューティ・サイクルの範囲を定義します。

$$dIL_{CL} = \frac{V_{IN} - V_O}{L_k} \times \frac{D}{F_S} \times \frac{1}{FOM(D, N_{ph}, \rho, k)} \quad (2)$$

$$FOM = \frac{\left(1 + \frac{\rho}{\rho + 1} \times \frac{1}{N_{ph} - 1}\right)}{1 - \left[\frac{(N_{ph} - 2 \times j - 2) + \frac{j \times (j + 1)}{N_{ph} \times D}}{N_{ph} \times D \times (N_{ph} - 2 \times j - 1) + j \times (j + 1)} \right] \times \frac{\rho}{N_{ph} - 1}} \quad (3)$$

$$\rho = \frac{L_m}{L_k} \quad (4)$$

$$j = \text{floor}(D \times N_{ph}) \quad (5)$$

CLに関する考察

改良のための最初のステップは、FOMのグラフを作成することです。具体的には、結合係数 L_m/L_k のいくつかの妥当かつ実用的な値に対し、 N_{ph} が4の場合のグラフをプロットします。図2の赤色の線は L_m/L_k が0の場合のもので、これは、DLを使用する場合にFOMが1になるベースラインを表します。この非常にリークが少ないノッチCL (NCL) 構造は、一般的に非常に高い L_m/L_k を達成可能であり、高い値のFOMを得ることができます^{8, 9}。対象とするデューティ・サイクルは、最初のノッチである $D = 12V/48V = 0.25$ という理想的な位置にあります。ただし、 V_{IN} と V_O についてはある程度の範囲を対象として考えなければなりません。例えば、 V_{IN} については、公称値である48V（または54V）にいくらかの許容誤差が加わった値になる可能性があります。また、 V_O も12Vから少し外れた値に調整されることがあるはずですが、デューティ・サイクル D が0.25を中心とする一定の範囲内で変化する場合、電流リップルを小さく抑えた状態に保つには、NCLではなく一般的なCLの設計を選択します。そうすると、リークは非常に多くなりますが、先ほどと同等の高いFOMが得られます。 $L_m/L_k > 4$ とすると、図2のFOMから考えて、CLのインダクタンスをDLの基本設計と比べて約1/6に下げることができます。貯蔵できるエネルギー量が減少することは、必要な磁気部品の体積に直接的な影響を及ぼします。従って、6.8μHのDLの代わりに1.1μHのCLを使用すれば、小型化を実現できるはずですが、

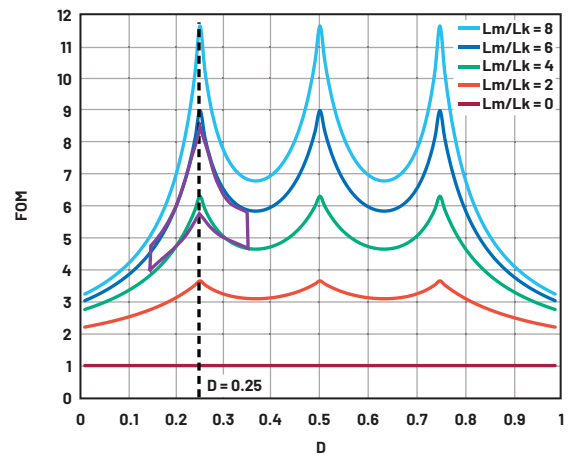


図2. 値の異なる L_m/L_k に対する4相CLのFOMとデューティ・サイクル D の関係。枠で囲まれた部分が対象範囲です。

ここで、図3に示した電流リップルのグラフをご覧ください。これは、 V_{IN} が48V、 F_s が200kHzという条件で2つの設計の性能を比較したものです。1つは6.8 μ HのDLを使用した基本的な設計、もう1つは本稿で提案する4 \times 1.1 μ H ($L_m = 4.9\mu$ H)の4相CLを使用した設計です。対象とする範囲において、CLを使用した場合の電流リップルはDLを使用した場合の電流リップルと同じかそれよりも小さくなっています。これは、回路のすべての信号波形のRMS値が同等で、伝導損失も同等であるということを意味します。また、同じ F_s に対するリップルが同等であるということは、スイッチング損失やゲート・ドライブ損失なども同等であるということになります。更に、2つのソリューションの効率もほぼ同等になるはずで（DLとCLのインダクタにおける損失の寄与分は唯一の相違点になりますが、それらも同等であると仮定しています）。

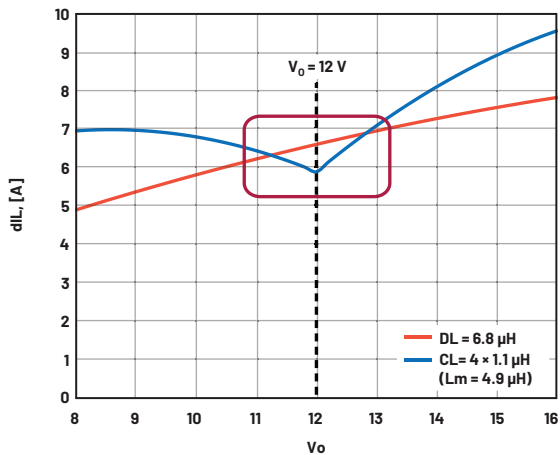


図3. 電流リップルと V_o の関係。 V_{IN} が48V、 F_s が200kHzの条件で、6.8 μ HのDL、4 \times 1.1 μ HのCLを使用する場合を比較しています。枠で囲まれた部分が対象範囲です。

続いて図4をご覧ください。図の上側に示したのは、6.8 μ Hの4つのDLです。図の下側に示したのは、それらを置き換えるために設計した4 \times 1.1 μ HのCLです⁵。各DLのサイズは28mm \times 28mm \times 16mmであり、互いの間隔は0.5mmであるとしています。これらを56.5mm \times 18mm \times 12.6mmの4相CLで置き換えれば、磁気部品の体積は1/4に縮小されます。

図5は、CLを使用して48Vから12Vへの降圧を実現するレギュレータ全体の外観を示したものです。プリント回路基板の片面に配置されたコンポーネントは、1/4ブリックの外形の範囲内に収まっています。CLの寸法と実装面積は、2つのCLが業界標準の1/4ブリック・サイズに収まるよう意図して設計されています。約1mmのすべてのコンポーネント（FET、コントローラIC、セ

ラミック・コンデンサなど）をプリント回路基板の背面に配置すれば、この1.2kW対応のソリューションを1/8ブリック・サイズに収めることができます。

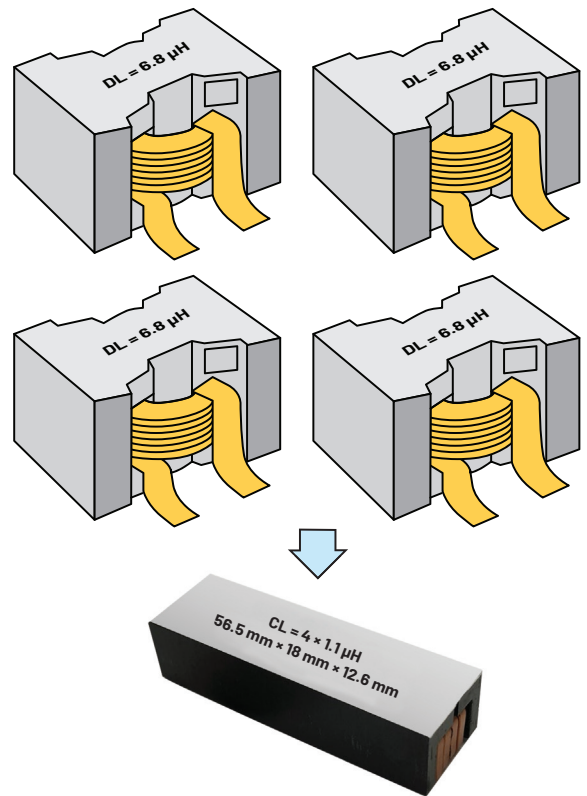


図4. 6.8 μ Hの4つのDL（上）と4 \times 1.1 μ HのCL（下）。4つのDLを1つのCLに置き換えることで、体積は1/4に縮小されます。



図5. 48Vから12Vへの降圧を担うレギュレータ。すべてのコンポーネントは、基板上面（1/4ブリックの外形範囲内）に配置されています。約1mmのコンポーネントをすべて背面に配置すれば、1/8ブリック・サイズに収めることができます。

性能の向上

6.8 μ HのDLを4 \times 1.1 μ HのCLに変更すると、インダクタに流れる電流のスルー・レート（上限値）が6倍に向上します。このことは、間違いなく過渡応答の改善につながります。しかも、磁気部品の体積が1/4になるのにもかかわらず、100 $^{\circ}$ Cにおけるインダクタの定格飽和電流は約2倍に向上します。

図6に示したのは、本稿で提案するソリューションの過渡応答です。V_{IN}が48V、V_Oが12Vという条件で測定しました。期待したとおり、フィードバックによって負荷電流が変化しても出力電圧は既定値にレギュレートされています。また、入力電圧の変化に対する補償も行われています。

恐らく、この種のシステムで最も重要な性能パラメータは効率でしょう。これについては図7のような結果が得られます。このグラフでは、比較の対象として業界で最先端とされるソリューションの効率も示しています。ここでは、最先端のソリューションとして、EPC (Efficient Power Conversion) の「EPC9174」を例にとっています。このソリューションでは、マトリクス変圧器を使用しています。また、窒化ガリウム (GaN) をベースとするFETを1次側と2次側に配置するLLC回路を採用しています。それにより、48Vから12Vへの降圧（降圧比は4:1で固定）を実現します¹⁰。この最先端のソリューションにおける全負荷効率は96.3%となっています。それに対し、本稿で提案するソリューションでは、それを上回る97.6%という値を達成しています。つまり、全負荷の条件における電力損失は最先端のソリューションと比べて16.6Wも少なくなっており、1/1.6に抑えられることになります。ここで注目していただきたいのは、最先端のソリューションでも既にかなり高いレベルの効率が達成されているということです。それよりも更に大きく損失を削減するというのは、一般的には非常に難易度が高いことです。

本稿で提案するソリューションでは、サイズと効率の間でトレードオフを行うことも可能です。図8では、2つの条件で効率を比較しています。1つは、4 \times 1.1 μ HのCL (DLと比べて磁気部品のサイズは1/4) を使用している場合です。もう1つは、それよりも大きな4 \times 3 μ HのCLを使用し、インダクタの体積をDLの1/2に縮小した場合です。インダクタの物理的なサイズが大きい4 \times 3 μ HのCLを使用した方が、漏れインダクタンスと相互インダクタンスは大きくなります。それぞれの値は、L_kが3 μ H、L_mが10 μ Hです。このことから、F_sは110kHzまで引き下げることができます。それにより、負荷の全範囲にわたって効率が格段に高くなります。

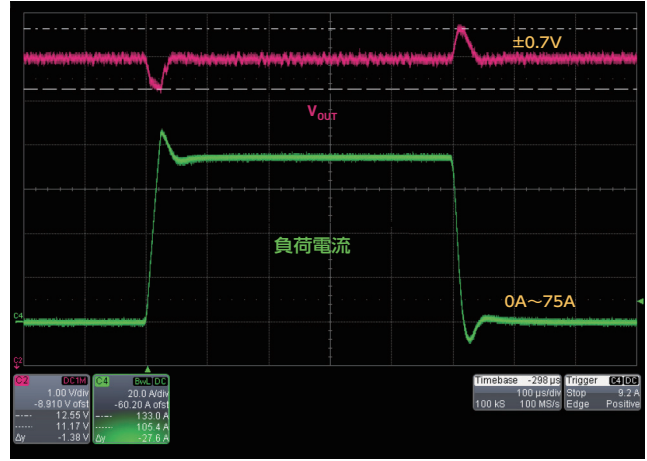


図6. 75Aのステップ状の負荷に対する過渡応答。4 \times 1.1 μ HのCLを使用しています。V_Oは12Vです。

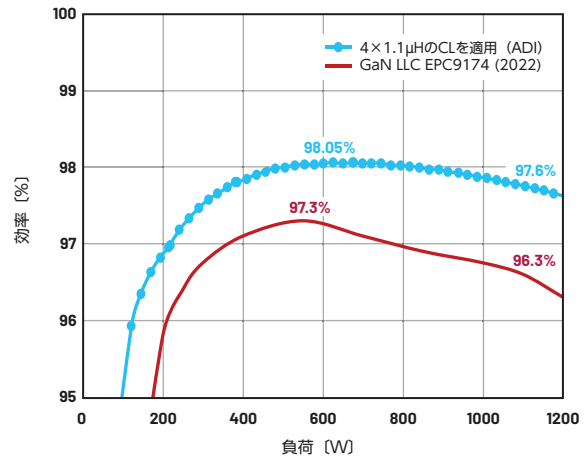


図7. 本稿のソリューションと最先端のソリューション (EPC9174) の効率。EPC9174は、1/8ブリックのフォーム・ファクタで48Vから12Vへの降圧を実現します。

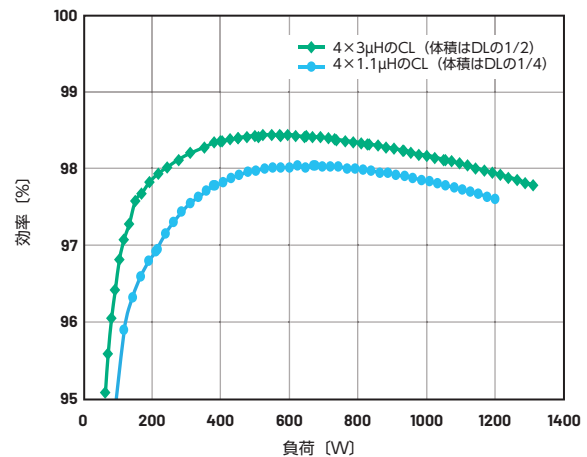


図8. CLの条件を変更した場合の効率。48Vから12Vへの降圧ソリューションにおいて、効率とサイズのトレードオフを実現できます。

まとめ

本稿では、CLのメリットを活用した降圧ソリューションを紹介しました。磁気部品のトータルのサイズは、DLを使用する基本的な設計と比べて1/4分に縮小できます。そのため、48Vから12Vへの降圧を行う1.2kW出力のソリューションを、業界標準の1/8ブリック・サイズで実装することが可能になります。このソリューションでは、磁気部品のサイズを1/4に縮小しつつ、優れた効率を維持し、優れた過渡応答を得ることができます。インダクタに流れる電流のスルー・レートは6倍、インダクタの定格飽和電流 I_{sat} は2倍に向上します。

本稿では、業界で最先端とされるソリューションも紹介しました。このソリューションは、本稿で紹介したソリューションと同じフォーム・ファクタで48Vから12Vへの降圧を実現します。ただ、本稿で紹介したソリューションは、その最先端のソリューションと比べて全負荷における電力損失を約1/1.6に抑えられます。磁気部品のサイズが1/4より大きくなっても構わない場合には、更に効率を高めることも可能です。

本稿で紹介したソリューションは、完全なレギュレートを実現します。また、お客様のマザーボードに直接配置することが可能です。コストの面でも最適な結果が得られるように、標準的なシリコンベースのFETを採用しています。それに対し、業界で最先端とされるソリューションでは、GaN FETを使用して降圧比が4:1のLLC回路を実現しています。また、そのソリューションでは完全なレギュレートが実現されているとは言えません。外部の影響を受けやすいレイアウトを採用しており、マトリックス変圧器を埋め込んだ特殊な多層プリント基板を使用する独立したモジュールとして製造されています。

本稿で紹介したソリューションは、アナログ・デバイセズが特許を取得済みのCL技術の効果を示す一例です。このIP (Intellectual Property) によって、性能の面で様々なメリットを得ることができます。当社は、DC/DCアプリケーションを必要とする多くのお客様にこの技術を提供したいと考えています。

参考資料

- ¹ Aaron M. Schultz, Charles R. Sullivan [Voltage Converter with Coupled Inductive Windings, and Associated Methods (結合誘導巻線を備えた電圧コンバータ、それに関連する手法)] U.S. Patent 6,362,986、2001年3月
- ² Jieli Li [Coupled Inductor Design in DC-DC Converters (DC/DCコンバータ用の結合インダクタの設計)] MS Thesis、2001年、Dartmouth College
- ³ Pit-Leong Wong, Peng Xu, P. Yang, F. C. Lee [Performance Improvements of Interleaving VRMs with Coupling Inductors (結合インダクタを備えるインターリーブVRMの性能を改善する)] IEEE Transactions on Power Electronics, Vol. 16, No. 4、2001年7月
- ⁴ Yan Dong [Investigation of Multiphase Coupled-Inductor Buck Converters in Point-of-Load Applications (多相結合インダクタを採用したPOLアプリケーション向け降圧コンバータに関する調査)] Ph.D. Thesis、2009年、Virginia Polytechnic Institute and State University, USA
- ⁵ Alexandr Ikriannikov [Coupled Inductor with Improved Leakage Inductance Control (漏れインダクタンスの制御性を高めた結合インダクタ)] U.S. Patent 8, 102.233、2009年1月
- ⁶ Alexandr Ikriannikov, Di Yao [Addressing Core Loss in Coupled Inductors (結合インダクタのコアの損失に対処する)] Electronic Design News、2016年12月
- ⁷ Alexandr Ikriannikov [Coupled Inductor Basics and Benefits (結合インダクタの基本、そのメリット)] Analog Devices、2021年
- ⁸ Alexandr Ikriannikov [Evolution and Comparison of Magnetics for the Multiphase DC-DC Applications (多相DC/DCアプリケーション向けの磁気部品、その進化と比較)] IEEE Applied Power Electronics Conference、2023年3月
- ⁹ Alexandr Ikriannikov, Di Yao [Converters with Multiphase Magnetics: TLVR vs CL and the Novel Optimized Structure (多相磁気部品を備えるコンバータ: TLVRとCLの比較、最適化された新たな構造)] PCIM Europe、2023年5月
- ¹⁰ [EPC9174-Evaluation Board (評価用ボード [EPC9174])] Efficient Power Conversion Corporation

著者について

Alexandr Ikriannikovは、アナログ・デバイセズのフェローです。通信／クラウド・パワー・チームを担当しています。カリフォルニア工科大学でCuk博士に師事。パワー・エレクトロニクスの研究に携わり、2000年に電気工学の博士号を取得しました。大学院では、AC/DCアプリケーション用の効率改善のプロジェクトや、マーズ・ローバー（火星探査車）用のDC/DC変換（15Vから400V）のプロジェクトなどに携わりました。大学院修了後はPower Tenに入社。数kWクラスのAC/DC電源の再設計と最適化に従事しました。2001年には、2013年にMaxim Integrated（現在はアナログ・デバイセズの一部門）に買収されたVolterra Semiconductorに入社。主に低電圧／大電流のアプリケーションや結合インダクタに関する業務に取り組みました。現在はIEEEのシニア・メンバーも務めています。60件を超える特許を保有。現在も新たな特許を出願中です。パワー・エレクトロニクスの分野に関する複数の出版物の執筆も担当しています。

Laszlo Lipcseilは、アナログ・デバイセズのディレクターです。通信／クラウド・パワー・チームを担当しています。ブカレスト工科大学でオートメーションとコンピュータに関する電気工学の修士号を取得。2000年にO₂Microに入社しました。同社で主に担当したのは電力変換ICやバッテリー管理ICの定義と開発です。2015年にMaxim Integrated（現在はアナログ・デバイセズの一部門）に入社。AR&Dチームに加わり、ソフトウェア定義型バッテリーの定義とシステム開発を統括しました。同チームは「CES 2020」で披露されたワイヤレスBMSの概念検証に用いるバッテリー・パックの開発も担いました。2020年初頭からは、主に48Vの多相電力変換アーキテクチャの開発に従事しています。50件を超える特許を保有。現在も新たな特許を出願中です。

EngineerZone®

オンライン・サポート・コミュニティ

アナログ・デバイセズのオンライン・サポート・コミュニティに参加すれば、各種の分野を専門とする技術者との連携を図ることができます。難易度の高い設計上の問題について問い合わせを行ったり、FAQを参照したり、ディスカッションに参加したりすることが可能です。



Visit ez.analog.com

*英語版技術記事は[こちら](#)よりご覧いただけます。



アナログ・デバイセズ株式会社

お住いの地域の本社、販売代理店などの情報は、analog.com/jp/contact をご覧ください。

オンラインサポートコミュニティEngineerZoneでは、アナログ・デバイセズのエキスパートへの質問、FAQの閲覧ができます。

©2023 Analog Devices, Inc. All rights reserved.
本紙記載の商標および登録商標は、各社の所有に属します。
Ahead of What's Possibleはアナログ・デバイセズの商標です。

TA24698-10/23(A)

VISIT [ANALOG.COM/JP](https://analog.com/jp)